

MERIT インターンシップ(国内) 報告書

工学系研究科 物理工学専攻

川崎研究室 博士課程 2年

MERIT 6期生

西野 隆太郎

概要

2019年4月1日~2019年7月12日にかけて産業技術総合研究所のナノエレクトロニクス研究部門・ナノ CMOS 集積グループでシリコン MOSFET(metal-oxide-semiconductor field effect transistor)の試作を通してシリコン半導体プロセスとデバイス物理の習得を行った。

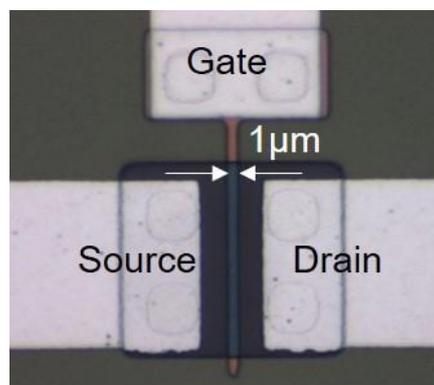
背景

MOSFET をベースとしたシリコンデバイスが現代エレクトロニクスの根幹をなす重要な技術であるが、近い将来その集積密度が限界に達すると言われており、新たな原理に基づいた電子デバイスの開発が望まれている。私が所属する研究室でもトポロジカル物質を利用した「トポロジカルエレクトロニクス」や酸化物の多機能性を用いた「酸化物エレクトロニクス」などの研究が行われている。しかしながら、それらの分野の中でシリコンテクノロジーに精通している人間はほとんど存在せず、既存技術について十分に理解がなされないまま研究が行われているのが実情である。半導体産業の基盤となっている MOSFET について学ぶことで、自身の研究分野の立ち位置を見直したいと思ったことが今回産総研へのインターンを決めた理由である。

内容

産総研のナノ棟 CMOS 研究施設を利用して p 型シリコンバルクウェハ上に最小ゲート長 $1\mu\text{m}$ の n 型 MOSFET を作製した。熱酸化やスパッタ、化学気相成長(CVD)などの薄膜堆積法と、フッ酸処理や反応性イオンエッチング(RIE)などのエッチングプロセスを繰り返し行うことで作製を行った。ゲート電極材料を一般的に使われる poly-Si から TiN メタルゲートに変更することで、閾値電圧や移動度などのデバイスパラメーターが受ける影響について比較検討を行った。

1枚のウェハ上に数百を超える MOSFET を作製したが、その 95%以上で良好な特性を示す



作製したゲート長 $1\mu\text{m}$ の MOSFET の光顕写真

MOSFET を得ることに成功した。ゲート電極を TiN に変更すると、閾値電圧を正電圧側に制御できる一方で移動度が半分以下に劣化した。この劣化は TiN ゲートをスパッタで堆積させたことによる SiO₂ 酸化膜へのダメージとアニール工程における窒素の拡散が原因であると考えられ、プロセスの改善が課題として残った。

所感

在籍研究室では複数個デバイスを作製し、その中でひとつでも動作すればそれでよいという研究スタイルであるため、数百個の MOSFET がほぼ全て動作し、かつ同じ特性を示したことに驚嘆すると共に、改めて自身の研究分野とシリコン分野との間にあるギャップと応用化への壁を痛感した。自身の研究分野についてある程度の知識を得ている博士 2 年のこの時期に分野外の研究に触れられたことは、自身の研究を俯瞰的に見る上で大いに役立ったと実感している。また、将来分野を変えて研究を行うことへの心理的な障壁がなくなり、自身の進路をより多様なものにすることができたと感じている。

謝辞

今回分野外からの応募であったにも関わらず、快く引き受けて頂き、貴重な経験を下さった森田様、柳様、塚田様をはじめとするナノ CMOS 集積グループの方々に深くお礼申し上げます。また、本インターンシップを快諾して頂いた指導教員の川崎先生、副指導教員の岡本先生、産総研への往復交通費を支給して頂いた MERIT プログラムにも感謝申し上げます、報告書の結びとさせていただきます。